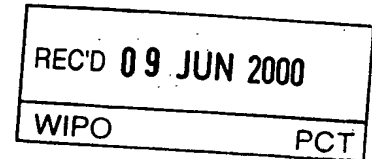


17/8 4  
**PRIORITY DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)



DE 00/368

## Bescheinigung

Herr Michael Klemt in München/Deutschland hat eine Patentanmeldung  
unter der Bezeichnung

"Schaltungsanordnung zur galvanisch isolierten Ansteuerung  
eines Leistungstransistors"

am 10. Februar 1999 beim Deutschen Patent- und Markenamt eingereicht.

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprüngli-  
chen Unterlagen dieser Patentanmeldung.

Die Anmeldung hat im Deutschen Patent- und Markenamt vorläufig das Symbol  
H 03 K 17/691 der Internationalen Patentklassifikation erhalten.


München, den 29. Mai 2000

**Deutsches Patent- und Markenamt**

**Der Präsident**

Im Auftrag

Dzierzon



Aktenzeichen: 199 05 500.9



## **Schaltungsanordnung zur galvanisch isolierten Ansteuerung eines Leistungstransistors**

### **Beschreibung**

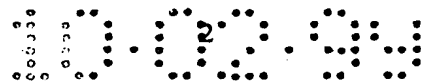
5

Die Erfindung betrifft eine Schaltungsanordnung zur Ansteuerung eines Leistungstransistors über einen Übertrager mit positiven und negativen Spannungsimpulsen.

10 Bei einer solchen Schaltungsanordnung werden die Impulse von der Primärseite des Übertragers unverändert auf die Sekundärseite übertragen. Diese Übertragung gelingt nur dann fehlerfrei, wenn die Spannungs-Zeit-Flächen der positiven und negativen Spannungsimpulse gleich sind. Ein Leistungstransistor benötigt zum Einschalten einen positiven Spannungsimpuls und zum Ausschalten einen negativen Spannungsimpuls. In den  
15 meisten Fällen verändert sich bei gleichbleibender Periode das Verhältnis zwischen der Dauer des positiven und negativen Impulses (Tastverhältnis), so daß die Spannungs-Zeit-Flächen ungleich werden und der Übertrager nach einer gewissen Zeit in Sättigung gerät. Dies führt dazu, daß die Spannung am Eingang des Übertragers einbricht oder die Amplituden sich verändern, falls an einem Eingang der Primärseite des Übertragers ein  
20 Kondensator in Serie geschaltet ist. Es ist also bisher nicht möglich, den für die Einschaltung und Ausschaltung eines Leistungstransistor erforderlichen Spannungsimpuls mit einem beliebigen Tastverhältnis stets einwandfrei mit Hilfe eines Übertragers zu erzeugen.

25 Der Erfindung liegt die Aufgabe zugrunde, bei einer Schaltungsanordnung der eingangs genannten Art kurzzeitige Impulse eingeben zu können, die nicht zur Sättigung des Übertragers führen und die eingegebenen Impulse auf der Sekundärseite des Übertragers so aufzubereiten, daß der Leistungstransistor einwandfrei ein- und ausschaltbar ist.

30 Diese Aufgabe wird durch die im Anspruch 1 gekennzeichneten Merkmale gelöst. Vorteilhafte Ausgestaltungen der Erfindung sind in den Unteransprüchen gekennzeichnet.



Der wesentliche Vorteil der Erfindung besteht darin, daß bei nur kurzzeitigen Eingangsimpulsen in den Übertrager durch die auf der Sekundärseite des Übertragers eingeschalteten Feldeffekttransistoren die für das sichere Ein- und Ausschalten des Leistungstransistors erforderlichen längeren Impulse erzeugt werden. In den Übertrager  
5 werden also nur kurze Impulse eingegeben, die nicht zur Sättigung desselben führen. Liegt ein Impuls in positiver Richtung an der Sekundärseite des Übertragers an, so ist einer der beiden Feldeffekttransistoren eingeschaltet und die Freilaufdiode des anderen Transistors wird in Durchlaßrichtung betrieben, so daß die Spannung an der Sekundärseite des Übertragers am zu schaltenden Leistungstransistor anliegt. Bei einem Impuls in negativer  
10 Richtung besitzen die Transistoren eine vertauschte Funktion, so daß am zu schaltenden Leistungstransistor die negative Spannung anliegt. Liegt kein Impuls an, so wird die Diode nicht mehr in Durchlaßrichtung sondern in Sperrichtung betrieben, wodurch die am Tor des Leistungstransistors anliegende Spannung vorhanden bleibt, da die Ladungsträger nicht abfließen können.

15

Die Erfindung wird nachstehend an Hand von in der Zeichnung dargestellten Schaltungsbildern näher erläutert. Es zeigen:

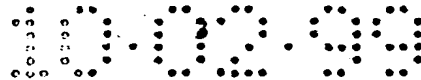
Fig. 1 zeigt die Ansteuerung eines Leistungstransistors über einen Übertrager nach dem Stand der Technik;

20 Fig. 2 zeigt die erfindungsgemäße Ansteuerung des Leistungstransistors;

Fig. 3 zeigt in einem Diagramm die Anordnung von in den Übertrager einzugebenden Spannungsimpulsen in Abhängigkeit von der Zeit und

Fig. 4 zeigt in einem Diagramm die nach der Aufbereitung durch Feldeffekttransistoren im Sekundärbereich des Übertragers am Leistungstransistor anliegenden Spannungs-  
25 impulse in Abhängigkeit von der Zeit.

Entsprechend dem Stand der Technik nach Fig. 1 kann ein Signal  $U_a$  über einen Übertrager  $\bar{U}$  an einen Leistungstransistor LT übertragen werden. Wenn das in den Sekundärteil des Übertragers  $\bar{U}$  übertragende Signal  $U_b$  fehlerfrei übertragen werden soll, müssen die  
30 Spannungs-Zeit-Flächen der positiven und negativen Spannungsimpulse gleich groß sein. Bei ungleichen Spannungs-Zeit-Flächen gerät der Übertrager nach einer gewissen Zeit in Sättigung, was zur Folge hat, daß die Spannungsimpulse nicht mehr die gewünschte Kurvenform besitzen.



Bei der Schaltungsanordnung gemäß der Erfindung nach Fig. 2 sind in den Abgangsleitungen Ü1 und Ü2 des Sekundärteils des Übertragers Ü Feldeffekttransistoren F1 und F2 eingeschaltet. Der Feldeffekttransistor F1 liegt mit seiner Quelle S und seiner Senke D unter Zwischenschaltung einer internen Diode D1 direkt in der Abgangsleitung Ü1. Sein Tor G ist unter Zwischenschaltung eines Widerstandes R1 von  $150\Omega$  mit dem Punkt P2 an der Senke D von F2 verbunden. Der Feldeffekttransistor F2 liegt sinngemäß mit seiner Quelle S und seiner Senke D unter Zwischenschaltung einer internen Diode D2 in der Abgangsleitung Ü2. Sein Tor G ist unter Zwischenschaltung eines Widerstandes R2 von  $150\Omega$  mit dem Punkt P1 an der Senke D von F1 verbunden. Der Tor-Anschluß G des Leistungstransistors LT ist mit der Senke D von F1, der Quelle-Anschluß S des Leistungstransistors mit dem Senke-Anschluß D von F2 verbunden. Zwischen dem Tor-Anschluß G und dem Quelle-Anschluß S des Leistungstransistors LT ist eine im Leistungstransistors LT vorhandene Eingangskapazität C und ein Widerstand R3 parallel geschaltet. Es besteht auch die Möglichkeit, daß in nicht dargestellter Weise das Tor G des Transistors F1 mit der Quelle S von F2 und das Tor G des Transistors F2 mit der Quelle S von F1 verbunden sind.

Die Funktion der Schaltungsanordnung nach Fig. 2 ist wie folgt:

In den Eingang des Übertragers Ü wird ein Spannungssignal U1, bestehend aus positiven Impulsen (Amplitude U1p, Dauer T1p) und negativen Impulsen (Amplitude U1n, Dauer T1n) eingegeben (siehe Fig. 3). Dabei entspricht die Dauer der Periode T des Spannungssignals U1 der Länge der zur Ansteuerung des Leistungstransistors LT erforderlichen Periode T der in der Sekundärseite des Übertragers Ü aufbereiteten Impulse T3p und T3n (siehe Fig. 4). Die Impulse T1p und T1n sind gleich lang und im allgemeinen nicht länger als fünf  $\mu$  sec und der Betrag der Amplituden U1p und U1n sind gleich groß. Die Impulse T1p und T1n werden auf Grund ihrer gleich kurzen Dauer und des gleichen Betrags ihrer Amplituden (gleiche Spannungs-Zeit-Flächen) unverändert auf die Sekundärseite des Übertragers Ü übertragen.

30

Bei einem positiven Spannungsimpuls U1p wird die Diode D1 in Durchlaßrichtung betrieben, so daß am Tor-Anschluß des Transistors F2 eine positive Spannung gegenüber der Quelle S von F2 anliegt. Somit ist der Transistor F2 eingeschaltet und die Senke-



Quelle-Strecke von F2 niederohmig. Dann liegt am Leistungstransistor LT ein positiver Impuls mit der Spannungshöhe  $U_{3p} = U_{1p} - U_{D1} - U_{DS2}$ . Damit ist der Leistungstransistor LT eingeschaltet. Hierbei ist:  $U_{D1}$  Spannungsabfall an der Diode D1 in Durchlaßrichtung,  $U_{DS2}$  Spannungsabfall zwischen der Senke D und der Quelle S von F2. Diese beiden

5 Spannungsabfälle sind sehr gering gegenüber  $U_{1p}$ , so daß  $U_{3p}$  nur geringfügig niedriger ist als  $U_{1p}$ . Wenn die Spannung  $U_{1p}$  auf 0 Volt abfällt (siehe Fig. 3) wird die Diode D1 in Sperrichtung betrieben, wodurch die am Tor des Leistungstransistors LT anliegende Spannung  $U_{3p}$  (Spannung an der Eingangskapazität C) vorhanden bleibt, da die Entladung über den Widerstand R3 nur sehr langsam stattfindet. Somit bleibt die positive Spannung

10  $U_{3p}$  während der gesamten Dauer von  $T_{3p}$  bestehen (siehe Fig. 4). Dabei ist vorausgesetzt, daß die Zeitkonstante bestehend aus dem Widerstand R3 und der Kapazität C mehr als zehn mal so groß ist wie Periode T des Signals  $U_3$ . Nur dann ist die Entladung über den Widerstand R3 zu vernachlässigen. Der Widerstand R3 gewährleistet, daß sich das Tor G des Leistungstransistors LT bei ausgeschalteter Elektronik nicht elektrostatisch aufladen

15 kann.

Bei einem negativen Spannungsimpuls  $U_{1n}$  wird die Diode D2 in Durchlaßrichtung betrieben, so daß am Tor-Anschluß G des Transistors F1 eine positive Spannung gegenüber der Quelle S von F1 anliegt. Somit ist der Transistor F1 eingeschaltet und die Senke-

20 Quelle-Strecke von F1 niederohmig. Dann liegt am Leistungstransistor LT ein negativer Impuls mit der Spannungshöhe  $U_{3n} = U_{1n} + U_{D2} + U_{DS1}$ . Damit ist der Leistungstransistor LT ausgeschaltet. Hierbei sind wieder die beiden Spannungsabfälle  $U_{D2}$  und  $U_{DS1}$  sehr gering gegenüber  $U_{3n}$ , so daß der Betrag von  $U_{3n}$  nur geringfügig kleiner ist als der Betrag von  $U_{1n}$ . Wenn die Spannung  $U_{1n}$  auf 0 Volt abfällt (siehe Fig. 3)

25 wird die Diode D2 in Sperrichtung betrieben, wodurch die am Tor G des Leistungstransistors LT anliegende Spannung  $U_{3n}$  (Spannung an der Eingangskapazität C) vorhanden bleibt, da die Entladung über den Widerstand R3 nur sehr langsam stattfindet. Somit bleibt die negative Spannung  $U_{3n}$  während der gesamten Dauer von  $T_{3n}$  bestehen (siehe Fig. 4).

30

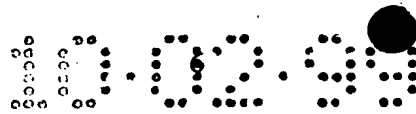
Als Leistungstransistor LT kann ein Mos-Feldeffekttransistor (MOSFET) oder ein IGB-Transistor (Insulated-Gate-Bipolar-Transistor) verwendet werden. Die in der Schaltungsanordnung der Fig. 2 eingesetzten Feldeffekttransistoren F1 und F2 sind n-

Kanal-Mosfets. In gleicher Weise können auch für beide Feldeffekttransistoren F1 und F2 p-Kanal-Typen verwendet werden. Die Signalquelle für die Impulse an der Primärseite des Übertragers Ü wird zweckmäßig sehr niederohmig gewählt, wodurch ein schnelles Schalten des Leistungstransistors LT ermöglicht wird. Würde die Dauer einer der Impulse T3p oder T3n kleiner als die Dauer des entsprechenden Impulses T1p bzw. T1n werden, so muß der Schaltungsteil auf der Primärseite des Übertragers Ü dafür sorgen, daß die Dauer des Impulses T1p bzw. T1n auf T3p bzw. T3n begrenzt wird. Die Schaltungsanordnung nach Fig. 2 kann auch dahingehend variiert werden, daß zwei zu schaltende Leistungstransistoren in Serie betrieben werden, wobei einer der Leistungstransistoren ausgeschaltet und der andere eingeschaltet wird. In diesem Fall wird der einzuschaltende Leistungstransistor verzögert eingeschaltet. Die Zeit T1p, T1n muß dann so lange bemessen werden, daß sämtliche Schaltvorgänge an den beiden Leistungstransistoren beendet sind, bevor der Impuls T1p bzw. T1n auf 0 Volt abfällt. Die Schaltungsanordnung kann vielseitig in Schaltnetzteilen und Umrichtern zum Ansteuern von Leistungstransistoren eingesetzt werden. Bei der Ausführung der Schaltungsanordnung nach Anspruch 5 wird vor die Tor-Anschlüsse der Feldeffekttransistoren F1 und F2 jeweils eine Zenerdiode angebracht, wobei der Anoden-Anschluß mit dem Tor G und der Kathoden-Anschluß mit dem Punkt P1 bzw. P2 verbunden ist. Durch den Einbau der Zenerdioden wird die Schwelle, ab der die Feldeffekttransistoren F1 und F2 eingeschaltet werden erhöht, wodurch die Störfestigkeit der Schaltung verbessert wird.

Die im Anspruch 14 gekennzeichneten Merkmale ergeben sich bei einer Schaltungsanordnung mit entgegengesetztem Wicklungssinn von Primär- und Sekundärseite des Übertragers. Die Impulse an den Wicklungsabgängen Ü1, Ü2 haben dann ebenso wie die Impulse T3n, T3p am Leistungstransistor LT eine umgekehrte Spannungsrichtung.

Durch den Einsatz der erfundenen Schaltungsanordnung zur Ansteuerung von Leistungstransistoren ergeben sich wesentliche Vorteile gegenüber der bisher üblichen Praxis: Plus- und Minusspannungen werden so galvanisch isoliert übertragen, daß ein sicheres Ein- und Ausschalten des Leistungstransistors gewährleistet ist. Dabei bleibt die Amplitude in positiver und negativer Richtung unabhängig vom Tastverhältnis konstant. Die galvanisch isolierte Übertragung ermöglicht das Ansteuern eines Leistungstransistors,

Michael Klemt  
Löfflerstr. 6c  
80999 München



München, den 05.02.99

8

dessen Potential wesentlich höher ist als das Potential der Ansteuer-Elektronik. Die Schaltgeschwindigkeit des Leistungstransistors wird durch den Ausgangswiderstand der Impulsquelle auf der Primärseite des Übertragers bestimmt und kann somit optimal eingestellt werden. Die Isolationsfestigkeit zwischen Steuerelektronik und Leistungskreis  
5 kann bei entsprechender Auslegung des Übertragers extrem hohe Werte annehmen. Der wichtigste Vorteil besteht in der kleinen Baugröße des Übertragers, die sich aufgrund der kurzen Impulsdauer ( $T_{1p}$  und  $T_{1n}$ ) des zu übertragenden Impulses ergibt.



**Schaltungsanordnung zur galvanisch isolierten Ansteuerung eines Leistungstransistors**

**Patentansprüche**

5

1. Schaltungsanordnung zur Ansteuerung eines Leistungstransistors über einen Übertrager mit positiven und negativen Spannungsimpulsen, dadurch gekennzeichnet, daß in den Eingang des Übertragers ( $\bar{U}$ ) Spannungsimpulse ( $T1p$ ,  $T1n$ ) in positiver und negativer Richtung von kurzer Dauer eingegeben werden, die auf der  
10 Sekundärseite durch zwei in den Abgangsleitungen ( $\bar{U}1$ ,  $\bar{U}2$ ) des Übertragers ( $\bar{U}$ ) eingesetzte Feldeffekttransistoren ( $F1$ ,  $F2$ ) in Impulse in positiver und negativer Richtung ( $T3p$ ,  $T3n$ ), deren Impulsdauer bis zum Beginn des nächsten Eingangsimpulses mit umgekehrter Spannungsrichtung ( $T1n$ ,  $T1p$ ) verlängert werden, umgewandelt werden, die den Leistungstransistor ( $LT$ ) ansteuern können.

15

2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die Feldeffekttransistoren ( $F1$ ,  $F2$ ) wechselweise mit den Abgangsleitungen ( $\bar{U}1$ ,  $\bar{U}2$ ) des Übertragers ( $\bar{U}$ ) verbunden sind.

20 3. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die Tor-Anschlüsse ( $G$ ) der Feldeffekttransistoren ( $F1$ ,  $F2$ ) entweder mit dem Quelle-Anschluß ( $S$ ) oder dem Senke-Anschluß ( $D$ ) des jeweils anderen Feldeffekttransistors ( $F2$ ,  $F1$ ) verbunden sind.

4. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß vor die Tor-Anschlüsse ( $G$ ) der Feldeffekttransistoren ( $F1$ ,  $F2$ ) jeweils ein Widerstand ( $R1$ ,  $R2$ )  
25 angeordnet ist.

5. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß vor die Tor-Anschlüsse ( $G$ ) der Feldeffekttransistoren ( $F1$ ,  $F2$ ) jeweils eine Zenerdiode angeordnet ist.

30

6. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß zwischen dem Tor-Anschluß ( $G$ ) und dem Quelle-Anschluß ( $S$ ) des Leistungstransistors ( $LT$ ) ein Widerstand ( $R3$ ) eingesetzt ist.



7. Schaltungsanordnung nach einem oder mehreren der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß als Leistungstransistor (LT) ein Mos-Feldeffekttransistor oder ein Isolierter-Tor-Bipolar-Transistor (Insulated-Gate-Bipolar-Transistor, IGBT) verwendet  
5 wird.

8. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die Dauer der in den Eingang des Übertragers (Ü) eingegebenen Spannungsimpulse (T1p, T1n) fünf  $\mu$ s nicht übersteigt und kürzer oder gleich der Zeitdauer für den Einschaltimpuls (T3p) und kürzer  
10 oder gleich der Zeitdauer für den Ausschaltimpuls (T3n) des Leistungstransistors (LT) ist.

9. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß in den Feldeffekttransistoren (F1, F2) zwischen dem Quelle-Anschluß (S) und dem Senke-Anschluß (D) jeweils eine Diode (D1, D2) vorhanden ist.  
15

10. Schaltungsanordnung nach Anspruch 7, dadurch gekennzeichnet, daß im Leistungstransistor (LT) zwischen dem Tor-Anschluß (G) und dem Quelle-Anschluß (S) eine Eingangskapazität (C) vorhanden ist.

20 11. Schaltungsanordnung nach den Ansprüchen 1 bis 10, dadurch gekennzeichnet, daß die beiden Feldeffekttransistoren (F1, F2) bewirken, daß die beiden Eingangsimpulse (T1p, T1n) jeweils in längere Impulse, die den Leistungstransistor (LT) entweder Einschalten und den eingeschalteten Zustand beibehalten (T3p) oder den Leistungstransistor Ausschalten und den ausgeschalteten Zustand beibehalten (T3n), umgewandelt werden.  
25

12. Schaltungsanordnung nach Anspruch 11, dadurch gekennzeichnet, daß die Dauer der Periode (T) der in den Eingang des Übertragers (Ü) eingegebenen Impulse (T1p, T1n) der Länge der zur Ansteuerung des Leistungstransistors (LT) erforderlichen Periode (T3p + T3n) der Impulse (T3p, T3n) entspricht.  
30

13. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die in den Eingang des Übertragers (Ü) eingegebenen Impulse (T1p, T1n) ein beliebiges Verhältnis ihrer Zeitdauer (Tastverhältnis) aufweisen können.

Michael Klemt  
Löfflerstr. 6c  
80999 München

10.03.99

München, den 05.02.99

11

14. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß bei Verwendung eines Übertragers (Ü) mit entgegengesetztem Wicklungssinn von Primär- und Sekundärseite sich die Spannungsrichtung der am Leistungstransistors (LT) anliegenden Impulse (T3n, T3p) umkehrt.

Fig. 1

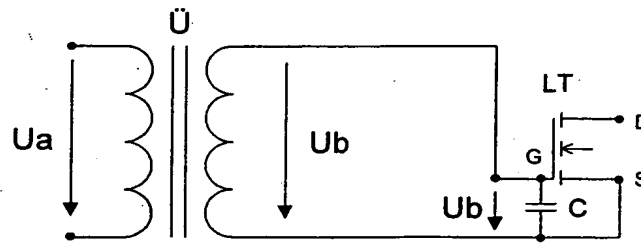


Fig. 1 entspricht dem Stand der Technik

Fig. 2

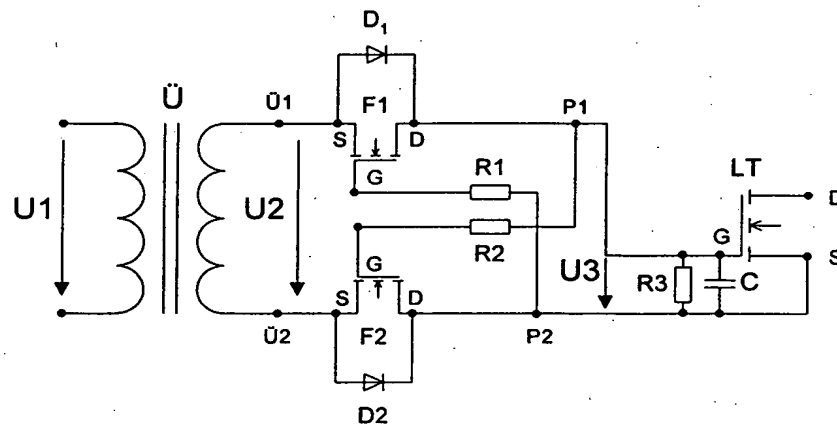


Fig. 3

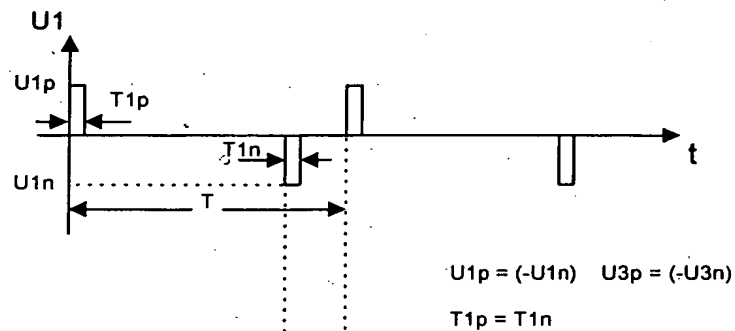
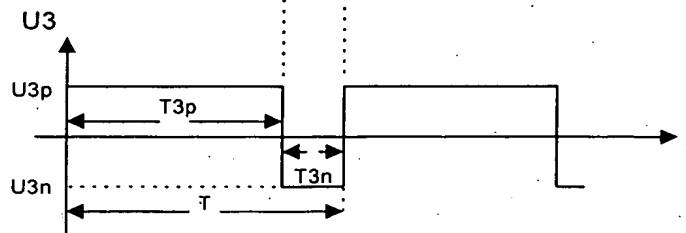


Fig. 4



## **Schaltungsanordnung zur galvanisch isolierten Ansteuerung eines Leistungstransistors**

### **Zusammenfassung**

Bei einer Schaltungsanordnung zur Ansteuerung eines Leistungstransistors LT über einen Übertrager  $\bar{U}$  wird in den Eingang des Übertragers ein Spannungssignal, welches aus Impulsen von sehr kurzer Dauer  $T_{1p}$  und  $T_{1n}$  in positiver und negativer Richtung besteht, eingegeben. Zwei auf der Sekundärseite des Übertragers  $\bar{U}$  eingesetzte Feldeffekttransistoren F1 und F2 wandeln die Impulse  $T_{1p}$ ,  $T_{1n}$  in Impulse mit positiver und negativer Richtung  $T_{3p}$ ,  $T_{3n}$ , deren Impulsdauer bis zum Beginn des nächsten Eingangsimpulses mit umgekehrter Spannungsrichtung  $T_{1n}$ ,  $T_{1p}$  verlängert werden, um, die den Leistungstransistor LT sicher ansteuern können. In den Feldeffekttransistoren F1 und F2 ist zwischen der Quelle S und der Senke D je eine Diode D1 und D2 vorhanden. Im Leistungstransistor LT ist zwischen dem Tor-Anschluß G und dem Quelle-Anschluß S eine Eingangskapazität C vorhanden.